

薄栅介质层可靠性与陷阱统计分析

姚峰英, 胡恒升, 张 敏

(中国科学院上海冶金研究所微电子学分部, 上海 200233)

摘要: 本文以高电场 ($> 11.8\text{MV/cm}$) 恒电流 TDDB 为手段研究了厚度为 7.6、10.3、12.5、14.5nm 薄氧化层的击穿统计特性. 实验分析表明在加速失效实验中测量击穿电量 Q_{bd} 的同时, 还可以测量击穿时的栅电压增量 ΔV_{bd} . 因为 ΔV_{bd} 的统计分布反映了栅介质层中带电陷阱的数量及其位置分布, 可以表征栅介质层的质量和均匀性. 此外由 Q_{bd} 和 ΔV_{bd} 能够较合理地计算临界陷阱密度 N_{bd} . 实验结果表明本征击穿时 N_{bd} 与测试条件无关而随工艺和介质层厚度变化. 同样厚度时 N_{bd} 反映不同工艺生成的介质质量. 陷阱生成的随机性使 N_{bd} 随栅介质厚度减小而下降. 氧化层厚度约 10nm 时 N_{bd} 达到氧化层分子密度的 1% 发生击穿 (10^{20}cm^{-3}). N_{bd} 的物理意义清楚, 不象 Q_{bd} 随测试应力条件变化, 是薄栅介质层可靠性的较好的定量指标.

关键词: 薄栅介质; 临界陷阱密度 N_{bd} ; 可靠性; 缺陷统计分析

中图分类号: TN304 **文献标识码:** A **文章编号:** 0372-2112 (2001) 11-1522-04

Relation Between the Reliability of Thin Dielectric Film and Statistical Analysis of Traps

YAO Feng-ying, HU Heng-sheng, ZHANG Min

(Microelectronics Branch, Shanghai Institute of Metallurgy, Chinese Academy of Sciences, Shanghai 200233, China)

Abstract: The statistical properties of TDDB in 7.6~14.5nm gate oxide films under high stress field ($> 11.8\text{MV/cm}$) have been studied in this paper. It is proved that gate voltage increment at breakdown ΔV_{bd} represents magnitude and position distribution of charge occupied traps, which reflects quality and uniformity of dielectric film. The calculated critical trap density N_{bd} by total charge to breakdown Q_{bd} and ΔV_{bd} is valuable for quantitative evaluation of the reliability of thin gate dielectric film. Experimental results show that N_{bd} of same thickness films is independent with field stress but related to film quality. It also shows that N_{bd} decreases with thinner films due to the statistical property of trap generation. N_{bd} is about 10^{20}cm^{-3} with 10nm oxide films, which means dielectric breakdown occurs when trap density reaches 1% of the molecular density. As N_{bd} is an intrinsic indicator of reliability of thin dielectric films, it is more important in real applications than Q_{bd} .

Key words: thin dielectric film; critical trap density; reliability; defect statistical analysis

1 引言

集成电路的栅介质层厚度随器件特征尺寸的缩小而不断减薄, 0.35 μm 工艺的栅介质层厚度为 6~10nm. 由于薄栅介质的质量直接影响到器件的成品率、电学性能和使用寿命, 它的失效分析是先进集成电路制造的关键检测技术之一.

测量栅介质层在高电场下随时间变化直至击穿的电性能 (TDDB Time Dependent Dielectric Breakdown) 是一种快速、直观地检测栅介质层质量的方法^[1], 可以反映栅介质层中形成陷阱及失效机理.

我们以前的研究^[2]表明, 高电场下电子因 Fowler-Nordheim 隧穿进入绝缘层导电, 在电子的运输过程中与介质层分子碰撞产生陷阱, 造成对介质结构的破坏. 通过绝缘层的电子总量随着时间增长不断增加, 随机产生的陷阱也不断增多, 当

介质层内陷阱密度达到某一临界密度 N_{bd} 时介质层发生击穿. N_{bd} 与电场应力大小无关, 可用于表征薄栅介质层工艺质量. 但由于仅使用击穿电量 Q_{bd} 计算 N_{bd} , 计算时作了不十分合理的简化, N_{bd} 结果不够准确.

我们以前的另一项研究^[3]说明介质层击穿时形成了两界面间局部的线状导电通道. 考虑陷阱的随机性, 模型如图 1. 设陷阱为半径 r 的球, 则两陷阱间的距离小于 $2r$ 时它们就彼此接触. 如果随机产生的互相接触的陷阱形成了从一个界面到另一个界面的陷阱链, 就形成了一条导电通道, 此时绝缘层电容放电击穿, 导致不可回复的损坏. 设陷阱的产生是均匀随机的, 则击穿也是随机的, 同样失效率对应的 N_{bd} 值随厚度的减小而下降, 因为厚度小时陷阱链的陷阱数目少, 形成几率较大, 所以发生击穿时的平均临界陷阱密度较小, 这反映了临界

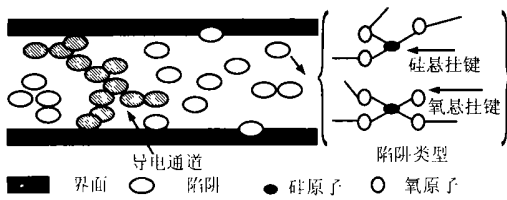


图 1 随机陷阱链击穿和陷阱类型示意图

陷阱密度 N_{bt} 的统计本性。此模型与后来的介质层本征击穿模型^[4]思想一致,但后者的 N_{bt} 计算较多依赖于计算机模拟,需要进一步的实验验证。

本文以 TDDB 为手段研究了 7.6~14.5nm 厚度的薄栅氧化层在 11.9~14.8MV/cm 电场下的恒电流击穿特性,对击穿电量 Q_{bd} 、击穿时栅电压增量 ΔV_{bd} 进行了统计分析。提出 ΔV_{bd} 反映了绝缘层内陷阱电荷积累的多少和位置分布特性,可以作为工艺监测参数。计算击穿临界陷阱密度 N_{bt} 时同时考虑 Q_{bd} 和 ΔV_{bd} 更为合理,计算结果说明随机陷阱链击穿模型是合理的。因 N_{bt} 受测试条件影响小,同一厚度的不同 N_{bt} 反映了工艺质量的好坏,而 N_{bt} 随厚度减小而下降反映了陷阱产生的随机特性。在我们的实验厚度范围内 N_{bt} 的数量级是 10^{20} cm^{-3} , 这相当于氧化层分子密度的百分之一。带电陷阱的数量级是 10^{18} cm^{-3} , 是 N_{bt} 的 1/20 到 1/12。因为 N_{bt} 比 Q_{bd} 的物理意义清晰,又与应力条件无关,所以是比 Q_{bd} 更好的介质层可靠性定量表征,对实际生产有较大意义。

2 样品制备和实验方法

实验所用样品为制作在 n 型 (100) 硅衬底上的 MOS 电容,硅片的电阻率为 $2\sim 7\Omega\cdot\text{cm}$ 。工艺步骤按标准 CMOS 工艺进行。栅氧化层是干氧化工艺制作的,厚度分别是 7.6、10.3、12.5、14.5nm。MOS 电容的上电极是多晶硅,下电极是衬底,面积有 $10\times 10\mu\text{m}^2$ 和 $20\times 20\mu\text{m}^2$ 两种。用恒电流 TDDB 方法,实测了四种厚度两种面积 MOS 电容在 0.1、0.2、0.4、0.8A/cm² 四个电流密度下击穿电量 $Q_{bd}=J\cdot t_{bd}$ 和栅压变化 $\Delta V_{bd}=V_g(t_{bd})-V_g(t_0)$, 其中 J 是外加电流密度, t_{bd} 是击穿时间, t_0 是加应力的起始时间, V_g 是加在多晶硅上的正电压。在同样厚度、面积和电流密度条件下测量 40 个 MOS 电容得到该条件下的统计分布。

实验数据处理方式如下:一次击穿实验的 Q_{bd} 和 ΔV_{bd} 组成一对数据,每一厚度、面积和电流密度条件下有 40 对数据;先剔除工艺随机缺陷导致的早期非本征击穿;再按 ΔV_{bd} 的分布剔除在均值正负一个标准差以外的数据对;在剩余数据对中按 Q_{bd} 均值的正负一个标准差为标准剔除非典型数据对,对于经过两次去除后的数据求其均值和标准差,作为 Q_{bd} 和 ΔV_{bd} 的值和误差。这种方法与威布尔失效分布统计方法得到的结果基本一致,但它能给出数值波动大小的估计。

3 实验结果及讨论

N_{bt} 随面积增大而减小的统计效应可按下式计算^[1,2]:

$$\ln(-\ln(1-F_1))-\ln(-\ln(1-F_2))=\ln(S_1/S_2) \quad (1)$$

其中 S 是 MOS 电容的面积,累积失效率 $F=m/n$, m 是将实验参数由小到大排序后某一实验值对应的累计失效数,而 n 是总失效实验数。

因为在 $10\times 10\mu\text{m}^2$ 和 $20\times 20\mu\text{m}^2$ 两种不同面积时,得到以下各结论的实验值只有数值的变化,而没有性质上的不同,所以下面的结果以 $20\times 20\mu\text{m}^2$ 的数据进行讨论。

3.1 Q_{bd} 和 ΔV_{bd} 的实验结果

图 2 绘出了 Q_{bd} 随厚度和电流密度变化的情况,注意到除 7.6nm 外,同样电流密度的 Q_{bd} 随厚度的变化不大,而 7.6nm 时 Q_{bd} 随电流密度的变化较大,也就是 $Q_{bd}-J$ 曲线的斜率较大。图 3 是 ΔV_{bd} 随电流密度和厚度的变化情况,由图可见除 14.5nm 外 ΔV_{bd} 随厚度的减小而减小,且随电流密度的变化不大,14.5nm 时 ΔV_{bd} 随电流密度的变化较大。上述结果将在下两小节进行分析。

3.2 带电陷阱和击穿时栅电压增量

高电场下由衬底发射的电子电流是 Fowler Nordheim 隧穿电流,其大小由衬底表面阴极发射处的电场 E_{cat} 决定:

$$J(t)=K_1 E_{cat}^2(t) \exp\left[-\frac{K_2}{E_{cat}(t)}\right] \quad (2)$$

其中 $K_1=1.19\times 10^{-6} \text{ AV}^{-2}$, $K_2=2.53\times 10^8 \text{ Vcm}^{-1/5}$ 。由式(2)可以从电流大小计算发射电场的值。由起始栅电压 $V_g(t_0)$ 可以求介质的厚度,在我们的实验中该计算厚度与光学测量厚度一致。在恒电流条件下氧化层中被俘获的电子不断增加并形成内建电场,为了维持恒定的阴极发射电场 E_{cat} ,必须不断增加栅压来补偿内建电场。设多晶硅/SiO₂ 界面为 x 轴的起点, x 轴指向硅衬底, $x=1$ 处为 SiO₂/衬底界面。根据高斯定律,在加正栅压时阴极电场 E_{cat} 为:

$$E_{cat}=\frac{V_g(t)}{d_{ox}}-\frac{ed_{ox}}{\epsilon}[n(t)\cdot x_n-p(t)\cdot x_p] \quad (3)$$

其中 d_{ox} 是氧化层厚度, ϵ 是介电常数, $n(t)$ 与 $p(t)$ 是被俘获的电子和空穴密度, x_n 和 x_p 是两者的等效位置 ($0\leq x_n, x_p\leq 1$)。根据 CV 测量的结果,起始的 $n(t)$ 与 $p(t)$ 约为零,再假设 x_n 和 x_p 不随时间变化,则:

$$\Delta V_{bd}=\frac{ed_{ox}^2}{\epsilon}(x_n n_{bd}-x_p p_{bd}) \quad (4)$$

式(4)显示 ΔV_{bd} 反映了击穿时被带电粒子占有的陷阱电荷密度的大小和等效平均位置,因此其大小和分布间接地表现了栅介质层质量的好坏和相对均匀性。

ΔV_{bd} 的变化趋势解释如下:由陷阱俘获与释放的动态平衡模型^[6],得到 $n_{bd}=N_{bt}\cdot f(E_{bd})$, $f(E_{bd})$ 是依赖于电场的电子陷阱填充几率,它随电场的增大而下降, E_{bd} 是击穿时的氧化层平均电场。当 $p_{bd}\ll n_{bd}$ 时,式(4)化为:

$$\Delta V_{bd}=ed_{ox}^2 N_{bt} f(E_{bd})/\epsilon \quad (5)$$

ΔV_{bd} 随厚度减小而减小是因为 N_{bt} 按随机陷阱链击穿模型随厚度减小而下降, $d_{ox}^2 N_{bt}$ 项的下降导致了 ΔV_{bd} 的减少。由于同样厚度的 N_{bt} 不随电流密度变化,只有 f 随电场的增加而略减,所以 ΔV_{bd} 仅随电流密度的增加略有下降。14.5nm 时 ΔV_{bd} 随 J 的较大变化很可能是空穴电流的作用较大所致。因为空穴势垒 $q\Phi_p=E_{g,\text{SiO}_2}-q\Phi_b-E_{g,\text{am}}$, 其中 E_{g,SiO_2} 是氧化硅带隙,

$q\Phi_b$ 是电子势垒, E_{gain} 是电子到达阳极的能量增益, E_{gain} 随氧化层厚度和平均电场的增加而增大^[7]. 所以在较厚的氧化层中空穴势垒低且随电场增加降低较快, 故空穴电流大且随电场增加而很快增加, 式(4)中的 p_{bl} 不能忽略, ΔV_{bl} 下降且随电流密度变化较大.

3.3 临界陷阱密度的合理计算

陷阱产生速率与介质层平均场强 E 和电流密度 J 有如下关系^[8]:

$$\frac{\partial N}{\partial t} = \gamma(E) \frac{J}{q} = A_1 \exp\left(\frac{E}{B_1}\right) \frac{J}{q} \quad (6)$$

其中 $\gamma(E)$ 是与场强相关的陷阱产生几率, 常数 $A_1 = 1.25 \times$

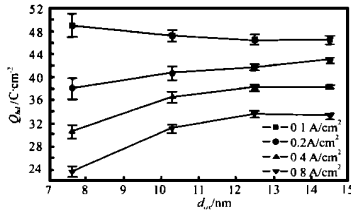


图2 Q_{bl} 与厚度和电流密度的关系

由图4中 N_{bl} 的变化可以解释 Q_{bl} 的变化. 将式(7)最右面的方括号项展开级数, 设 $y = \Delta V_{bl}/d_{ox} B_1$, 则此方括号可化为 $(1 + y/2 + y^2/3! + y^3/4! + \dots)$. 因厚度减小时 y 和 N_{bl} 同时减小, 所以 Q_{bl} 随厚度的变化不大. 14.5nm 的 N_{bl} 比 12.5nm 下降, 这是因为如前一小节所分析的, 厚氧化层的 ΔV_{bl} 较小, 它没有反映出与大量空穴相抵消的那部分电子陷阱对 N_{bl} 的贡献, 所以按式(7)计算的 N_{bl} 必然较真实值为小.

7.6nm 的 Q_{bl} 随电流密度增加大大下降, 反映在图4中, N_{bl} 随电流密度增加而有规律地下降. 计算式(7)发现此时大的 Q_{bl} 项决定了 N_{bl} 的变化趋势, 所以我们认为此 7.6nm 氧化层在较高电场下阳极界面区占总厚度的比例增加, 相当于介质厚度减薄, 所以 N_{bl} 下降. 因硅-硅键的键长是 2.35 \AA , 硅-硅的直线长度是 3.08 \AA , 当界面区有数个键长时就达到 nm 的量级. 如界面区缺陷较多则在高电场下结构易被破坏, 失去绝缘性. 这说明栅介质层的厚度越小则晶格失配引起的界面过渡区对高电场击穿性能的影响越大.

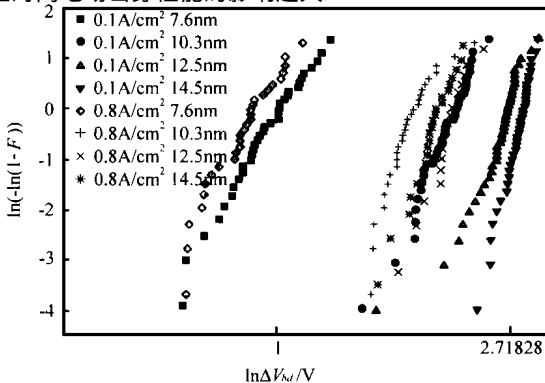


图5 电流密度分别为 0.1 A/cm^2 和 0.8 A/cm^2 时不同厚度的 ΔV_{bl} 累积失效率分布

10^{-3} cm^{-1} , $B_1 = 2.045 \times 10^6 \text{ V/cm}$. 高电场下实验测得在应力过程中 $V_g - t$ 近似直线关系, 初始非线性阶段可忽略, 所以 dv/dt 等于常数 $\Delta V_{bl}/t_{bl}$, 积分式(6)并将积分变量换为 E 得到:

$$N_{bl} = \frac{A_1 Q_{bl}}{q} \exp\left[\frac{E_{\text{crit}}}{B_1}\right] \left[\frac{B_1}{\Delta V_{bl}/d_{ox}} \left(\exp\left(\frac{\Delta V_{bl}/d_{ox}}{B_1}\right) - 1 \right) \right] \quad (7)$$

由式(7)就可以从实验参数 Q_{bl} 和 ΔV_{bl} 计算 N_{bl} , 结果见图4. 可见在小于 13nm 时 N_{bl} 随厚度减小而下降, 在 10~13nm 下降不大, 8nm 以下下降较快, 而 14.5nm 的数值较 12.5nm 时小. 实验范围内 N_{bl} 数量级在 10^{20} cm^{-3} 左右, 这意味着此厚度下的临界陷阱密度是氧化硅分子密度 (10^{22} cm^{-3}) 的约 1%. 计算机模拟的结果^[3]也和我们的实验结果相近.

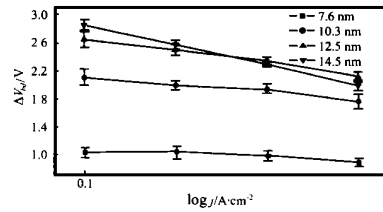


图3 ΔV_{bl} 与电流密度和厚度的关系

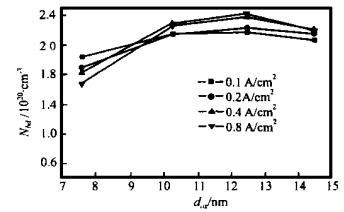


图4 N_{bl} 随厚度和电流密度的变化

3.4 薄栅介质层可靠性评估

如上所述, 如果在恒电流 TDDB 常规检测 Q_{bl} 的同时, 也检测 ΔV_{bl} , 对数据作统计分析后就能计算 N_{bl} 作为薄栅介质层可靠性的定量指标, 它比 Q_{bl} 更本质地反映了薄栅介质层的可靠性.

应用时 ΔV_{bl} 的统计也可以和 Q_{bl} 的统计一样, 按威布尔失效分布统计方法进行以下简化操作. 图5是 0.1 A/cm^2 和 0.8 A/cm^2 两种电流密度下各厚度 ΔV_{bl} 的累积失效率分布, 其纵坐标中的 F 是累积失效率. 可以看到虽然 ΔV_{bl} 在厚度小和电流密度大的情况下不完全符合威布尔分布, 但其分布基本上仍是有规律的, 所以能够近似为威布尔分布而作为工艺控制的统计参量.

我们利用式(6)重新计算了以前实验^[2]的结果, 求得 $0.2 \times 10^{-4} \text{ cm}^2$ 的 8.9nm 氧化层的 N_{bl} 约 $2.9 \times 10^{20} \text{ cm}^{-3}$. 因为文[2]中氧化层的生长工艺与本文的生长工艺不同, 比较两者发现文[2]在较大面积时有较大的 N_{bl} , 这表明其介质层的可靠性是比较好的.

4 结论

通过实验研究了四种不同厚度 (7.6、10.3、12.5、14.5nm) 的薄氧化硅介质层在高电场 (11.9~14.8MV/cm) 恒电流条件下的击穿统计特性. 研究结果显示击穿时栅电压增量 ΔV_{bl} 反映了陷阱俘获带电粒子的数量和俘获位置在介质层中的分布, 其统计分布可以用作工艺监测参数来表征薄栅介质层的质量和均匀性. 测量 ΔV_{bl} 和击穿电量 Q_{bl} 并进行统计数据处理, 就能够较合理地计算临界陷阱密度 N_{bl} . 计算结果说明了随机陷阱链击穿模型的合理性. 实验的薄栅介质层厚度减小时, 其本征击穿的 N_{bl} 也减小, 在实验的厚度范围内击穿时的陷阱密度 N_{bl} 是氧化硅分子密度的 1%, 大约是 10^{20} cm^{-3} . 由于比较不同工艺制备的同样厚度的薄栅介质层的临界陷阱密

度 N_{bt} 能够评估工艺质量, 且在物理图象和独立于应力条件两方面优于 Q_{bt} , 所以可以将 N_{bt} 作为薄栅介质层击穿性能的最重要的指标应用于实际生产中。

参考文献:

- [1] 胡恒升, 张敏, 林立谨. TDD B 击穿特性评估薄栅介质层质量 [J]. 电子学报, 2000, 28(5): 80- 83.
- [2] 林立谨, 张敏. 薄 SiO₂ 层击穿特性与临界陷阱密度 [J]. 电子学报, 2000, 28(8): 59- 62.
- [3] CHEN Minqi, ZHANG Min. Quantum behavior of QBD diode at room temperature [J]. Chinese Journal of Electronics, 1997, 6(1): 57- 60.
- [4] R Degraeve, G Groeseneken, R Bellens, J Luc Ogier, M Depas, P J Roussel, H E Maes. New insights in the relation between electron trap generation and the statistical properties of oxide breakdown [J]. IEEE Trans. Electron Devices, 1998, 45: 904- 911.
- [5] M Lenzlinger, E H Snow. Fowler Nordheim tunneling into thermally grown SiO₂ [J]. J. Appl. Phys. 1969, 40(1): 278- 283.
- [6] 胡恒升. 薄氧化硅可靠性及击穿机理研究 [D]. 中国科学院上海冶金研究所博士学位论文. 2000.
- [7] K F Schuegraf, C Hu. Hole injection SiO₂ breakdown model for very low voltage lifetime extrapolation [J]. IEEE Trans. Electron Devices, 1994, 41: 761- 767.
- [8] Y Nissar Cohen, J Shappir, D Frohmar Bentchkowsky. Trap generation and occupation dynamics in SiO₂ under charge injection stress [J]. J.

Appl. Phys. 1986, 60(6): 2024- 2035.

- [9] Y Nissar Cohen, J Shappir, D Frohmar Bentchkowsky. Dynamic model of trapping detrapping in SiO₂ [J]. J. Appl. Phys. 1985, 58(6): 2252- 2261.

作者简介:

姚峰英 男. 1972 年 9 月生于湖北. 1996 年清华大学工学士毕业, 现在中国科学院上海冶金研究所攻读博士学位. 主要从事集成电路工艺, 语音数字信号处理, DSP 和专用集成电路设计方面的工作.



胡恒升 男. 1972 年 9 月出生於武汉. 1995 年毕业于上海交通大学, 2000 年在中国科学院上海冶金研究所微电子学分部获博士学位. 现在华虹集团工作. 主要从事集成电路工艺和可靠性方面的研究.

张敏 女. 1934 年出生于上海. 中国科学院上海冶金研究所研究员, 博士生导师, 主持完成了多项国家重点科技攻关任务. 主要研究领域: 集成电路制造技术, 器件结构与工艺优化设计, 信息数字化处理和专用集成电路设计.